

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Youichi TOBITA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: MULTILAYERED WIRING SUBSTRATE



REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	11-276488	September 29, 1999

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland

Registration Number 21,124



22850

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

JC525 U.S. PTO
09/664361



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

1999年 9月29日

出願番号
Application Number:

平成11年特許願第276488号

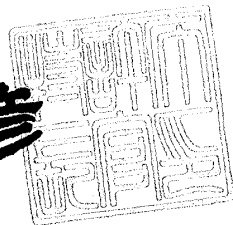
出願人
Applicant(s):

三菱電機株式会社

2000年 5月12日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



出証番号 出証特2000-3035250

【書類名】 特許願

【整理番号】 518724JP01

【提出日】 平成11年 9月29日

【あて先】 特許庁長官殿

【国際特許分類】 H05K 3/46

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社
社内

【氏名】 飛田 洋一

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

特平 1 1 - 2 7 6 4 8 8

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 多層配線基板

【特許請求の範囲】

【請求項 1】 多層化された複数の配線層を備えた多層配線基板において、前記複数の配線層の少なくとも 1 層は、互いに平行に形成された複数の信号配線から成る信号配線群を含み、前記信号配線群の両外側にそれぞれ少なくとも 1 本ずつ配置され、前記複数の信号配線と互いに平行を成すダミー配線を備えることを特徴とする、多層配線基板。

【請求項 2】 請求項 1 に記載の多層配線基板であって、前記複数の信号配線間の各間隙に、前記複数の配線層の積層方向に沿って形成されたスルーホールと、前記ダミー配線の前記信号配線群の側に隣接して配置され、前記積層方向に沿って形成されたダミースルーホールと、前記スルーホール及び前記ダミースルーホールの各内部にそれぞれ配置された導電層とを更に備えることを特徴とする、多層配線基板。

【請求項 3】 請求項 2 に記載の多層配線基板であって、前記ダミースルーホール内の前記導電層は、複数の前記スルーホールのいずれかの内部の前記導電層に電氣的に接続されていることを特徴とする、多層配線基板。

【請求項 4】 請求項 2 に記載の多層配線基板であって、前記ダミースルーホール内の前記導電層は、前記ダミー配線に電氣的に接続されていることを特徴とする、多層配線基板。

【請求項 5】 請求項 1 乃至 4 のいずれかに記載の多層配線基板であって、前記ダミー配線の実効インピーダンスと略同一のインピーダンス値を有し、前記ダミー配線の端部又は中央部に電氣的に接続された抵抗を少なくとも 1 つ更に備えることを特徴とする、

多層配線基板。

【請求項 6】 請求項 1 乃至 4 のいずれかに記載の多層配線基板であって、前記ダミー配線の端部又は中央部に電氣的に接続された終端抵抗接続用端子を少なくとも 1 つ更に備えることを特徴とする、多層配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、プリント（配線）基板、特に多層化された複数の配線層を備えた多層配線基板に関するものであり、各配線層を成す複数の配線の各々を伝播する各信号の伝播遅延時間（以下、単に「遅延時間」とも呼ぶ）の差を改善する技術に関する。

【0002】

【従来の技術】

図 15 の（a）に従来のメモリモジュール 200P の模式的な上面図を示し、同図 15 の（b）のその側面図を示す。なお、図 15 では詳細な配線の図示化は省略している。

【0003】

図 15 に示すように、メモリモジュール 200P は、従来の多層配線基板 100P 上に複数（ここでは 9 個）の DRAM（Dynamic Random Access Memory）51 が搭載されている。多層配線基板 100P には、複数の外部端子 60 が設けられており、当該外部端子 60 を介して DRAM 51 と外部システムないしは外部回路（図示せず）との間での信号の授受や電源の供給が行われる。

【0004】

図 16 に、多層配線基板 100P の、図 15 中の A-A 線における模式的な縦断面図を示す。多層配線基板 100P は積層された 6 つの配線層を備え、各配線層を成す配線がガラスエポキシ材料等の絶縁材料 2 で絶縁されている。詳細には、多層配線基板 100P の両主面ないしは両表面上にそれぞれ信号配線層を成す信号配線群 31、32 が配置されており、多層配線基板 100P の内部に信号配

線層を成す信号配線群 33, 34 と、接地配線 (層) 35 と、電源配線 (層) 36 とが配置されている。信号配線群 31~34 は DRAM 51 の動作に関する信号、例えばアドレス信号を伝達するために用いられ、接地配線 35, 電源配線 36 はそれぞれ DRAM 51 の接地端子、電源端子に接地電位、電源電位を供給するために用いられる。

【0005】

図 17 に、配線層の一例として信号配線群 31 から成る信号配線層の模式的な上面図を示す。図 17 に示すように、信号配線群 31 は、それぞれが例えば DRAM 51 のアドレス信号を伝達する n 本の帯状の信号配線 31a~31n から成り、各信号配線 31a~31n がこの順序で互いに平行に配置されている。

【0006】

一般的に、多層配線基板 100P の表面上に形成される信号配線群 31, 32 を成す各信号配線は $20\mu\text{m}$ 程度の厚さの銅箔と当該銅箔表面に施された 20nm 程度の厚さの銅メッキ膜とから成る。多層配線基板 100P 内の信号配線群 33, 34 を成す各信号配線は $40\mu\text{m}$ 程度の厚さの銅箔で形成される。各信号配線群 31~34 を成す各信号配線の幅は約 $100\sim 200\mu\text{m}$ 程度であり、配線パターンの配線間隔は約 $100\sim 200\mu\text{m}$ 程度である。他方、接地配線 35 及び電源配線 36 は $40\mu\text{m}$ 程度の厚さの平面状の銅箔から成る。また、各信号配線群 31~34 を成す各信号配線の長さはメモリモジュール 200P の横幅 (図 15 における左右方向の寸法) 程度であり、一般的に 10cm 程度である。

【0007】

図 18 に、多層配線基板 100P 又はメモリモジュール 200P の、図 15 中の B-B 線における模式的な縦断面図を示す。図 18 に示すように、多層配線基板 100P を厚さ方向に貫くスルーホール 40 が形成されている。スルーホール 40 は直径が $250\mu\text{m}$ 程度の貫通孔であり、ドリル等によって開孔される。スルーホール 40 の内壁面ないしは側壁面 40S には $20\mu\text{m}$ 程度の厚さの導電層 41 が形成されている。導電層 41 は、多層配線基板 100P の表面上の信号配線群 31, 32 を銅メッキ形成する際に同時に形成される。なお、上述の図 17

に示すように、各信号配線 31a～31n 間にスルーホール 40ab～40mn が形成される。

【0008】

スルーホール 40 及び導電層 41 によって、各信号配線群 31～34 から成る各配線層、接地配線 35 及び電源配線層 36 の内の所定のもの同士が接続される。例えば、図 18 に示すように、各信号配線群 33, 34 が成す各配線層が信号配線群 31 が成す配線層に接続される。そして、信号配線群 31 の信号配線のパッド部が、はんだ 52 を介して DRAM 51 の外部リード 51a と接続されている。これにより、信号配線群 33, 34 が成す配線層又は各信号配線と DRAM 51 とが接続される。

【0009】

次に、DRAM 51 がアドレス信号 SA を取り込むタイミングを、図 19 のタイミングチャートを用いて説明する。なお、図 19 中の (a) 及び (b) はそれぞれクロック信号 CL, アドレス信号 SA の各タイミングチャートである。DRAM 51 は、クロック信号 CL の立上り（あるいは立下り）の時刻 t_0 を基準にして、アドレス信号 SA を取り込む。このとき、アドレス信号 SA を確実に取り込んで DRAM 51 の内部回路を安定的に動作させるために、時刻 t_0 の前後にそれぞれ所定の時間長さのセットアップ時間 T_1 及びホールド時間 T_2 が設けられる。DRAM 51 を高速に且つ安定的に動作させるためには、セットアップ時間 T_1 及びホールド時間 T_2 に対する各動作余裕値（マージン）が大きい方が好ましい。

【0010】

複数のアドレス信号 SA をそれぞれ別個の配線で伝送する場合、全てのアドレス信号 SA が同時に多層配線基板 100P 上を伝播し、同時刻に DRAM 51 内に取り込まれることが望ましい。そのような伝送状態の実現によって、上記マージンを大きく設定することができ、高速動作時においても DRAM 51 の高い動作安定性を得ることができる。

【0011】

【発明が解決しようとする課題】

しかしながら、従来のメモリモジュール 200P は信号の伝播に関して以下の問題点を有している。ここでは、上述の信号配線群 31 が成す配線層を一例に挙げて説明するが、その説明は他の配線層に対しても妥当である。

【0012】

一般的に、複数の配線が近接して配置されると、各配線間に形成される容量成分ないしは容量を介して各配線が容量性結合ないしは容量結合することが知られている。かかる様子を図 20 を用いて説明する。なお、図 20 は既述の図 17 中の CP-CP 線における多層配線基板 100P の模式的な縦断面図である。図 20 に示すように、全信号配線 31a~31n は、隣接する 2 本の信号配線間の容量 CSW を介して直列に容量結合された状態として模式的に表すことができる。

【0013】

同様に、既述の図 17 に示すように各信号配線 31a~31n 間にスルーホール 40ab~40mn が形成されている場合、全信号配線 31a~31n 及び全スルーホール 40ab~40mn (詳細には全ての導電層 41ab~41mn) は、図 17 中の DP-DP 線における模式的な縦断面図である図 21 に示すように図示される。即ち、全信号配線 31a~31n 及び全導電層 41ab~41mn は、信号配線とスルーホールの導電層との間の容量 CST を介して直列に容量結合している。

【0014】

既述の図 17 に示すように、最も外側の信号配線 31a, 31n 以外の信号配線 31b~31m の両側にはそれぞれ信号配線及びスルーホールが配置されているのに対して、最も外側の信号配線 31a, 31n にはその片側にしか信号配線及びスルーホールが配置されていない。即ち、図 20 及び図 21 に示すように、各信号配線 31b~31m には 2 つの容量 CSW 又は 2 つの容量 CST が結合しているのに対して、最も外側の信号配線 31a, 31n には 1 つの容量 CSW 又は容量 CST しか結合していない。

【0015】

ところで、配線を伝播する信号の伝播遅延時間 t_{pd} は、単位長当たりの配線に対して次式 (1) で表される。

【0 0 1 6】

$$t_{pd} = \sqrt{L \cdot C} \quad \dots \dots (1)$$

なお、式(1)中の記号L、Cはそれぞれ配線の単位長当たりのインダクタンス、同キャパシタンスである。

【0 0 1 7】

ここで、キャパシタンスCは上述の容量CST、CWTを含むので、式(1)によれば、信号配線31a、31nの遅延時間 t_{pd1} は、他の信号配線31b～31mの遅延時間 t_{pd2} よりも小さいことが分かる。また、式(1)が単位長当たりの配線に対する関係式であることに鑑みれば、両遅延時間 t_{pd1} 、 t_{pd2} 及び両者の差 Δt_{pd} は配線の長さに依存し、配線が長くなるほど大きくなることが分かる。

【0 0 1 8】

上述のように、遅延時間 t_{pd1} が遅延時間 t_{pd2} よりも短いので、図22中の(a)～(c)の各タイミングチャートを参照すれば分かるように、信号配線31a、31nを伝播するアドレス信号SAa、SAnは、信号配線31b～31mを伝播するアドレス信号SAb～SAmよりも時間 Δt (遅延時間差 Δt_{pd} に信号配線の長さに乗じた値に相当する)だけ速く伝播する。このため、DRAM51を安定的に動作させるためには、各アドレス信号SAa～SAnの相互間の伝播遅延時間の差 Δt を考慮した上で、DRAM51の動作タイミングを設定する必要がある。即ち、アドレス信号SAa、SAnに対するホールド時間T3を、アドレス信号SAb～SAmに対するホールド時間T2よりも時間 Δt だけ短くしなければならない。かかる時間設定によりセットアップ時間及びホールド時間に対する各マージンが狭められるので、DRAM51の高速動作時の安定性が低下してしまうという問題点を誘起する。

【0 0 1 9】

本発明はかかる点に鑑みてなされてものであり、各信号信号の各伝播遅延時間の差を格段に低減・除去しうる多層配線基板を提供することを主たる目的とする。

【0 0 2 0】

【課題を解決するための手段】

(1) 請求項 1 に記載の発明に係る多層配線基板は、多層化された複数の配線層を備えた多層配線基板において、前記複数の配線層の少なくとも 1 層は、互いに平行に形成された複数の信号配線から成る信号配線群を含み、前記信号配線群の両外側にそれぞれ少なくとも 1 本ずつ配置され、前記複数の信号配線と互いに平行を成すダミー配線を備えることを特徴とする。

【0021】

(2) 請求項 2 に記載の発明に係る多層配線基板は、請求項 1 に記載の多層配線基板であって、前記複数の信号配線間の各間隙に、前記複数の配線層の積層方向に沿って形成されたスルーホールと、前記ダミー配線の前記信号配線群の側に隣接して配置され、前記積層方向に沿って形成されたダミースルーホールと、前記スルーホール及び前記ダミースルーホールの各内部にそれぞれ配置された導電層とを更に備えることを特徴とする。

【0022】

(3) 請求項 3 に記載の発明に係る多層配線基板は、請求項 2 に記載の多層配線基板であって、前記ダミースルーホール内の前記導電層は、複数の前記スルーホールのいずれかの内部の前記導電層に電氣的に接続されていることを特徴とする。

【0023】

(4) 請求項 4 に記載の発明に係る多層配線基板は、請求項 2 に記載の多層配線基板であって、前記ダミースルーホール内の前記導電層は、前記ダミー配線に電氣的に接続されていることを特徴とする。

【0024】

(5) 請求項 5 に記載の発明に係る多層配線基板は、請求項 1 乃至 4 のいずれかに記載の多層配線基板であって、前記ダミー配線の特性インピーダンスと略同一のインピーダンス値を有し、前記ダミー配線の端部又は中央部に電氣的に接続された抵抗を少なくとも 1 つ更に備えることを特徴とする。

【0025】

(6) 請求項 6 に記載の発明に係る多層配線基板は、請求項 1 乃至 4 のいずれ

かに記載の多層配線基板であって、前記ダミー配線の端部又は中央部に電氣的に接続された終端抵抗接続用端子を少なくとも 1 つ更に備えることを特徴とする。

【0026】

【発明の実施の形態】

<実施の形態 1>

実施の形態 1 に係る多層配線基板 100 は、既述の図 15～図 18 に示す従来の多層配線基板 100P と同様に、複数の信号配線層と、接地配線（層）35 と、電源配線（層）36 と、これら複数の配線層の積層方向に形成された複数のスルーホールとを備える。また、各配線層及び各信号配線層を成す配線はガラスエポキシ材料等の絶縁材料（既述の絶縁材料 2 を参照）で互いに絶縁されている。ここでは、多層配線基板 100 の表面上に配置された信号配線層を一例に挙げて説明するが、以下の説明は各信号配線層に対しても妥当である。図 1 に、かかる信号配線層の模式的な上面図を示す。

【0027】

図 1 に示すように、多層配線基板 100 は、(I) 互いに平行に配置された n 本の信号配線 31a～31n から成る既述の信号配線群 31 を備え、更に、(I I) 信号配線群 31 の両外側に、即ち、信号配線層 31 の最も外側の各信号配線 31a, 31n の信号配線 31b～31m とは反対側にそれぞれダミー配線 31Da, ダミー配線 31Dn が配置されている。ダミー配線 31Da, 31Dn は信号配線 31a～31n と互いに平行を成して延在している。ダミー配線 31Da, 31Dn は信号配線 31a～31n と同等の形状を有し、各信号配線 31a～31n 間と同じ間隔を介して信号配線 31a, 31n の外側に配置されている。

【0028】

また、(i) 信号配線 31a～31n の各間隙に既述のスルーホール 40ab～40mn を備え、更に、(i i) 上記ダミー配線 31Da, 31Dn と信号配線 31a, 31n との間の各間隙に、スルーホール 40ab～40mn と同等の形状の各ダミースルーホール 40Da, 40Dn が形成されている。既述のように、各スルーホール 40ab～40mn の内壁面上に各導電層 41ab～41m

n（後述の図2参照）が形成されており、導電層41ab～41mnによって上記複数の配線層の内の所定の配線層同士が電氣的に接続される。また、各ダミースルーホール40Da, 40Dnの内壁面上にそれぞれ上記導電層41ab～41mnと同等の（ダミー）導電層41Da, 41Dn（後述の図2参照）が形成されている。なお、各導電層41ab～41mn, 41Da, 41Dnは各スルーホール40ab～40mn, 40Da～40Dnの内部を完全に充填する形状であっても構わない。

【0029】

なお、ダミー配線31Da, 31Dn及びダミースルーホール40Da, 40Dn及び（ダミー）導電層41Da, 41Dnに対して、信号配線31b～31m, スルーホール40ab～40mn及び導電層41ab～41mnを「正規の信号配線31b～31m」等のようにも表現する。

【0030】

図2に図1中のC-C線における多層配線基板100の模式的な縦断面図を示し、図3に図1中のD-D線における同縦断面図を示す。図2に示すように、多層配線基板100によれば、図1中のC-C線付近では信号配線31a～31n及びダミー配線31Da, 31Dnが、隣接する2本の配線間の容量CSWを介して直列に容量結合している。また、図3に示すように、図1中のD-D線付近では、信号配線31a～31n及びダミー配線31Da, 31Dnとスルーホール40ab～40mnの導電層41ab～41mn及びダミースルーホール40Da, 40Dnの導電層41Da, 41Dnとが、配線と導電層との間の容量CSTを介して直列に容量結合している。

【0031】

図2及び図3と既述の図20及び図21とを比較すれば分かるように、多層配線基板100では、ダミー配線31Da, 31Dnによって、信号配線群31の最も外側の信号配線31a, 31nに、信号配線31b～31mと同様に各容量CSW, CSTを2個結合させることができる。つまり、上記最も外側の信号配線31a, 31nの各線路容量を各信号配線31a～31nのそれと同等にすることができる。

【0032】

これにより、各信号配線 31a~31n を伝播する各信号、例えば DRAM 51 (図 15, 図 18 等を参照) に対して入力する各アドレス信号の伝播速度を同等にすることができる。従って、従来の多層配線基板 100P と比較して、各アドレス信号の各伝播遅延時間の差 Δt_{pd} を格段に低減することができる。

【0033】

その結果、従来の多層配線基板 100P に変えて多層配線基板 100 を備えたメモリモジュールによれば、全ての信号配線 31a~31n に対して同じ時間長さのセットアップ時間及びホールド時間を設定することができるので、高速動作時においても DRAM 51 を安定的に且つ確実に動作させることができる。

【0034】

容量 CSW, CST は各配線間又は配線とスルーホールの導電層との間の電界分布に依存する点及び電界は導体である配線の表面から全方位に向いて存在する点に鑑みれば、図 4 の模式的な縦断面図に示すようにダミー配線 31Da (及びダミー配線 31Dn) の更に外側にダミー配線 Da1, 31Da2, ... をより多く設けることがより好ましい。勿論、これらのダミー配線 31Da, 31Da1, 31Da2, ... は、信号配線 31a~31n と同等の寸法を有し、各信号配線 31a~31n 間と同じ間隔を介して配置される。このとき、複数のダミー配線 31Da, 31Da1, 31Da2, ... の各間隙に、即ち、かかる各ダミー配線 31Da, 31Da1, 31Da2, ... の信号配線群 31 の側に隣接してダミースルーホールを設けることが好ましい。これにより、全ての信号配線 31a~31n において電界分布等の電氣的影響をより一層に等しくすることができるので、上述の遅延時間差 Δt_{pd} の低減効果を更に推進することができる。なお、ダミー配線の本数は、信号配線の本数や多層配線基板 100 の形状寸法等に基づいて設定される。

【0035】

＜実施の形態 1 の変形例 1＞

ここで、多層配線基板 100 において、他の配線層よりも配線の本数が少なく且つダミー配線を有さない配線層が存在する場合、以下の構成を適用することが

できる。例えば、多層配線基板 100 の模式的な縦断面図である図 5 に示すように、信号配線 31b の下方にその信号配線層の最も外側の配線である信号配線 131a が配置されており、信号配線 31a の下方にはその信号配線層を成す信号配線が配置されていない場合、ダミースルーホール 40Da の導電層 41Da を連結配線 43 によって正規の導電層 41ab に電氣的に接続しても良い。このとき、連結配線 43 は、上記信号配線 131a を含む信号配線層内に設けることが好ましい。

【0036】

かかる構成によれば、ダミースルーホール 40Da の導電層 41Da の電位や電界分布等の電氣的影響を正規の導電層 41ab と同等にすることができる。これにより、正規のスルーホール 40ab とダミースルーホール 40Da との間に存在する信号配線 31a 等の電氣的影響を他の正規のスルーホール間に存在する信号配線と同様にすることができる。その結果、上述の伝播遅延時間差 Δt_{pd} をより低減することができる。

【0037】

上述の説明では、ダミー導電層 41Da が隣接する正規の導電層 41ab に接続される場合を述べたが、当該ダミー導電層 41Da を図 5 中に図示しない他のスルーホールの配線層に電氣的に接続しても良い。また、ダミー導電層 41Da が接続される正規の導電層 41ab 等は、接地配線 35 又は電源配線 36 に電氣的に接続されていても構わない。

【0038】

<実施の形態 1 の変形例 2>

上述の変形例 1 に係る構成の多層配線基板 100 では、ダミースルーホール 40Da の導電層 41Da が信号配線 131a を伝搬する信号の負荷として働くので、当該信号の遅延や波形歪が増大する場合がある。かかる遅延等の増大は本変形例 2 に係る構成を有する多層配線基板 100 により低減・排除可能である。図 6 に本変形例 2 に係る多層配線基板 100 の模式的な縦断面図を示す。図 6 に示すように、信号配線 131a の外側に、ダミー配線 31Da に相当するダミー配線 131Da を配置し、当該ダミー配線 131Da とダミースルーホール 40D

aの導電層41Daとを連結配線44を介して電氣的に接続する。

【0039】

かかる構成によれば、ダミー導電層41Daが正規の導電層41abに直接に接続されないので、上述の信号遅延等の増大を抑制することができる。このとき、ダミー配線131Daを信号配線131aを含む信号配線層内に設けることが好ましい。また、ダミー配線131Daが既述の遅延時間差 Δt_{pd} の低減効果を奏することは言うまでもない。

【0040】

<実施の形態2>

次に、多層配線基板100を応用したメモリモジュール201を図7を参照しつつ説明する。図7はメモリモジュール201の模式的な上面図である。図面の煩雑化を避けるため図7では上述の配線の内信号配線31a及びダミー配線31Daのみを抽出して模式的に図示しているが、以下の信号配線31a及びダミー配線31Daに対する各説明は信号配線31b～31n及びダミー配線31Dnに対しても妥当である。また、DRAM51等の構成は従来のメモリモジュール200Pと同等であるため、図7中ではその図示化を省略している。これらの点は後述の図8～図14においても同様である。なお、メモリモジュール201は、アドレス信号が当該モジュール201の入力側の（外部）端子T31a1から入力されてDRAMへ伝達される一方で、出力側の（外部）端子T31a2から出力されるタイプのモジュール、例えばRIMM（Rambus Inline Memory Module）タイプのメモリモジュールである。

【0041】

図7に示すように、メモリモジュール201では、信号配線31aの入力側の端部がメモリモジュール201の入力側の端子T31a1を介して外部回路ないしはドライバ回路300に電氣的に接続されている。ドライバ回路300は信号配線31aの特性インピーダンス Z_0 と略等しい出力インピーダンス値Rを有する。そして、信号配線31aの出力側の端部31aT2はメモリモジュール201の出力側の端子T31a2に電氣的に接続されており、当該端子T31a2は抵抗R31aを介して接地配線35（図16参照）に電氣的に接続されて終端さ

れる。抵抗 R_{31a} は、信号配線 $31a$ の特性インピーダンス Z_0 と略等しいインピーダンス値を持つ終端抵抗である。なお、端子 T_{31a2} を抵抗 R_{31a} を介して電源配線 36 (図 16 参照) に電氣的に接続しても良く、かかる点は以下の説明においても同様である。このように、信号配線 $31a$ は入力側及び出力側の両端部 $31aT1$, $31aT2$ においてインピーダンス整合された状態でアドレス信号を伝送する。

【0042】

特に、メモリモジュール 201 に適用される多層配線基板 101 は、上述の多層配線基板 100 上に更に抵抗 R_{31Da1} を備える。詳細には、ダミー配線 $31Da$ の入力側及び出力側の両端部 $31DaT1$, $31DaT2$ はそれぞれ抵抗 R_{31Da1} を介して接地されている。なお、便宜上、信号配線 $31a$ の入力側及び出力側の各端部に対応させて、ダミー配線 $31Da$ の各端部を入力側及び後述の出力側の区別をする。抵抗 R_{31Da1} はダミー配線 $31Da$ の特性インピーダンス Z_0 (信号配線 $31a$ のそれと等しい) と略等しいインピーダンス値を有しており、ダミー配線 $31Da$ は両端部 $31DaT1$, $31DaT2$ においてインピーダンス整合されている。抵抗 R_{31Da1} はチップ抵抗等から成り、多層配線基板 101 の表面上に搭載されてダミー配線 $31Da$ と接地配線 35 との間に半田接続されている。

【0043】

このように、多層配線基板 101 及びメモリモジュール 201 によれば、ダミー配線 $31Da$ の電氣的接続状態を、信号配線 $31a$ と同等にすることができる。従って、上述の伝播遅延時間の差 Δt_{pd} の低減効果を確実に得ることができる。これにより、DRAM 51 を安定的に且つ確実に高速動作させることができる。以下に多層配線基板 101 及びメモリモジュール 201 の変形例を説明するが、各変形例 $1 \sim 4$ に係る各構成によっても同様の効果を得ることができる。

【0044】

<実施の形態 2 の変形例 1>

図 8 は、本変形例 1 に係るメモリモジュール 202 の模式的な上面図である。図 8 と既述の図 7 とを比較すれば分かるように、メモリモジュール 202 に適用

される多層配線基板 102 では、ダミー配線 31Da の入力側及び出力側の各端部 31DaT1, 31DaT2 はそれぞれメモリモジュール 202 の入力側の端子（終端抵抗接続用端子）T31Da1, 出力側の端子（終端抵抗接続用端子）T31Da2 に電氣的に接続されている。そして、各端子 T31Da1, T31Da2 は、メモリモジュール 202 の外部に設けられた終端抵抗 R31Da2 を介して接地されている。

【0045】

このように、多層配線基板 102 及びメモリモジュール 202 では抵抗 R31Da が多層配線基板 102 の外部に設けられているので、抵抗 R31Da の抵抗値の設定・変更が容易である。このとき、抵抗 R31Da の選択・設定によって、上述のメモリモジュール 101 よりも消費電力を低減することができる。勿論、抵抗 R31Da2 として上記特性インピーダンス Z_0 と略等しいインピーダンス値を有する抵抗を用いて構わない。

【0046】

＜実施の形態 2 の変形例 2＞

図 9 に、本変形例 2 に係るメモリモジュール 203 の模式的な上面図を示す。メモリモジュール 203 は、アドレス信号が当該モジュール 203 の入力側の端子 T31a1 を介して信号配線 31a の入力側の端部 31aT1 から入力されて DRAM へ伝達される一方で、信号配線 31a の出力側の端部 31aT2 が終端されないタイプのモジュール、例えば DIMM (Double Inline Memory Module) タイプのメモリモジュールである。詳細には、図 9 と既述の図 7 とを比較すれば分かるように、メモリモジュール 203 では、信号配線 31a の出力側の端部 31aT2 に抵抗 R31a が接続されていない。

【0047】

これに対応して、メモリモジュール 203 に適用される多層配線基板 103 では、ダミー配線 31Da の入力側の端部 31DaT1 にのみ終端抵抗 R31Da1 が電氣的に接続されている。なお、ダミー配線 31Da の出力側の端部 31aT2 を抵抗 R31Da1, R31Da2 で終端しても構わない。

【0048】

また、図10に示すメモリモジュール204の多層配線基板104のように、ダミー配線31Daの入力側の端部31DaT1を入力側の端子T31Da1に電氣的に接続し、当該端子T31Da1に抵抗R31Da2を接続しても良い。かかる場合も、ダミー配線31Daの出力側の端部31aT2を抵抗R31Da1又は抵抗R31Da2で終端しても構わない。

【0049】

＜実施の形態2の変形例3＞

図11に、本変形例3に係るメモリモジュール205の模式的な上面図を示す。メモリモジュール205は、アドレス信号が信号配線31aの中央部31aCから入力されてDRAMへ伝達されるタイプのモジュール、例えばDIMMタイプのメモリモジュールである。このようなタイプのメモリモジュールは、メモリモジュール上でのアドレス信号の伝播遅延時間 t_{pd} を半減するために多用される。

【0050】

図11に示すように、メモリモジュール205では、信号配線31aの長さ方向における中央部31aCに、（外部）端子T31a3を介してドライバ回路300が電氣的に接続されている。これに対応して、メモリモジュール205に適用される多層配線基板105では、ダミー配線31Daの長さ方向における中央部31DaCに抵抗R31Da1が電氣的に接続されている。

【0051】

なお、図12に示すメモリモジュール206の多層配線基板106のように、ダミー配線31Daの上記中央部31DaCを端子（終端抵抗接続用端子）T31Da3に電氣的に接続し、当該端子T31Da3に抵抗R31Da2を電氣的に接続しても良い。

【0052】

＜実施の形態2の変形例4＞

図13に、本変形例4に係るメモリモジュール207の模式的な上面図を示す。図13と上述の図11とを比較すれば分かるように、メモリモジュール207では、信号配線31aの各端部31aT1、31aT2がそれぞれ端子T31a

2に電氣的に接続されて抵抗R31aを介して接地されている。これに対応して、メモリモジュール207に適用される多層配線基板107では、中央部31DaCに加えて、ダミー配線31Daの各端部31DaT1, 31DaT2にもそれぞれ既述の抵抗R31Da1が電氣的に接続されている。

【0053】

なお、図14に示すメモリモジュール208の多層配線基板108のように、ダミー配線31Daの両端部31DaT1, 31DaT2及び中央部31DaCをそれぞれ端子T31Da1, T31Da2, T31Da3に電氣的に接続し、各端子T31Da1, T31Da2, T31Da3にそれぞれ抵抗R31Da2を電氣的に接続しても良い。

【0054】

なお、上述の変形例1～4において、ダミー配線31Daに2個以上の抵抗R31Da1又は抵抗R31Da2が電氣的に接続される場合、例えば端部31DaT1を抵抗R31Da1と電氣的に接続し、端部31DaT2を端子T31Da2を介して抵抗R31Da2と電氣的に接続するような、複合的な接続形態を適用しても構わない。

【0055】

また、上述の各抵抗R31Da1, R31Da2, R31Da3として可変抵抗を用いても良い。また、各抵抗R31Da1, R31Da2, R31Da3を各メモリモジュール200～208の接地配線又は電源配線に電氣的に接続しても構わない。勿論、信号配線31a～31nを、アドレス信号以外の信号を伝達する各種のデータ入出力線として適応可能であることは言うまでもない。

【0056】

【発明の効果】

(1) 請求項1に係る発明によれば、信号配線群の最も外側の信号配線の線路容量をその他の信号配線のそれと同等にすることができる。これにより、各信号配線を伝播する各信号の伝播速度を同等にすることができるので、各信号の伝播遅延時間の差を格段に低減・除去することができる。その結果、例えば当該多層配線基板をメモリモジュールに適用し、DRAMへ入力するアクセス信号を各信

号配線で以て伝送することによって、高速動作時においてもDRAMを安定的に且つ確実に動作させることができる。

【0057】

(2) 請求項2に係る発明によれば、ダミースルーホール内の導電層によって上記(1)の効果を更に向上することができる。

【0058】

(3) 請求項3に係る発明によれば、ダミースルーホール内の導電層の電界分布等の電氣的影響を当該導線層が電氣的に接続されたスルーホール内の導電層と同等にすることができる。これにより、ダミースルーホールとスルーホールとの間の信号配線の電氣的影響を他のスルーホール間の信号配線と同様にすることができるので、上記(1)の効果を更に確実に得ることができる。

【0059】

(4) 請求項4に係る発明によれば、請求項3に係る発明の多層配線基板とは異なり、ダミースルーホールの導電層がスルーホールの導電層に直接に接続されない。このため、スルーホールの導電層が信号配線に電氣的に接続される場合において、ダミースルーホールの導電層が上記信号配線を伝搬する信号の負荷として働かない。従って、当該信号の遅延や波形歪の増大を抑制しつつ、上記(1)の効果を確実に得ることができる。

【0060】

(5) 請求項5に係る発明によれば、抵抗によりダミー配線はインピーダンス整合される。各信号配線がインピーダンス整合された状態で使用される場合に、ダミー配線の電氣的接続状態を各信号配線と同等にすることができる。このため、上記(1)の効果をより一層、確実に得ることができる。

【0061】

(6) 請求項6に係る発明によれば、終端抵抗用端子に電氣的に接続された終端抵抗は多層配線基板の外部に設けられるので、終端抵抗の抵抗値の設定・変更が容易である。このとき、例えば上述のメモリモジュールにおいて、請求項5に係る発明の多層配線基板を用いる場合よりも消費電力の低減を図ることが可能である。

【図面の簡単な説明】

【図 1】 実施の形態 1 に係る多層配線基板における配線層の模式的な上面図である。

【図 2】 実施の形態 1 に係る多層配線基板における、複数の配線の容量結合状態を説明するための模式図である。

【図 3】 実施の形態 1 に係る多層配線基板における、複数の配線及びスルーホールの導電層の容量結合状態を説明するための模式図である。

【図 4】 実施の形態 1 に係る多層配線基板における、ダミー配線を説明するための模式図である。

【図 5】 実施の形態 1 の変形例 1 に係る多層配線基板の模式的な縦断面図である。

【図 6】 実施の形態 1 の変形例 2 に係る多層配線基板の模式的な縦断面図である。

【図 7】 実施の形態 2 に係るメモリモジュールの模式的な上面図である。

【図 8】 実施の形態 2 の変形例 1 に係るメモリモジュールの模式的な上面図である。

【図 9】 実施の形態 2 の変形例 2 に係るメモリモジュールの模式的な上面図である。

【図 10】 実施の形態 2 の変形例 2 に係る他のメモリモジュールの模式的な上面図である。

【図 11】 実施の形態 2 の変形例 3 に係るメモリモジュールの模式的な上面図である。

【図 12】 実施の形態 2 の変形例 3 に係る他のメモリモジュールの模式的な上面図である。

【図 13】 実施の形態 2 の変形例 4 に係るメモリモジュールの模式的な上面図である。

【図 14】 実施の形態 2 の変形例 4 に係る他のメモリモジュールの模式的な上面図である。

【図 15】 従来の多層配線基板を用いたメモリモジュールを説明する模式

的図である。

【図 16】 従来の多層配線基板の模式的な縦断面図である。

【図 17】 従来の多層配線基板における配線層を説明するための模式的な上面図である。

【図 18】 従来の多層配線基板の模式的な縦断面図である。

【図 19】 DRAMがアドレス信号を取り込むタイミングを説明するためのタイミングチャートである。

【図 20】 従来の多層配線基板における、複数の配線の容量結合状態を説明するための模式図である。

【図 21】 従来の多層配線基板における、複数の配線及びスルーホールの導電層の容量結合状態を説明するための模式図である。

【図 22】 複数のアドレス信号間に伝播遅延時間がある場合における、DRAMが各アドレス信号を取り込むタイミングを説明するためのタイミングチャートである。

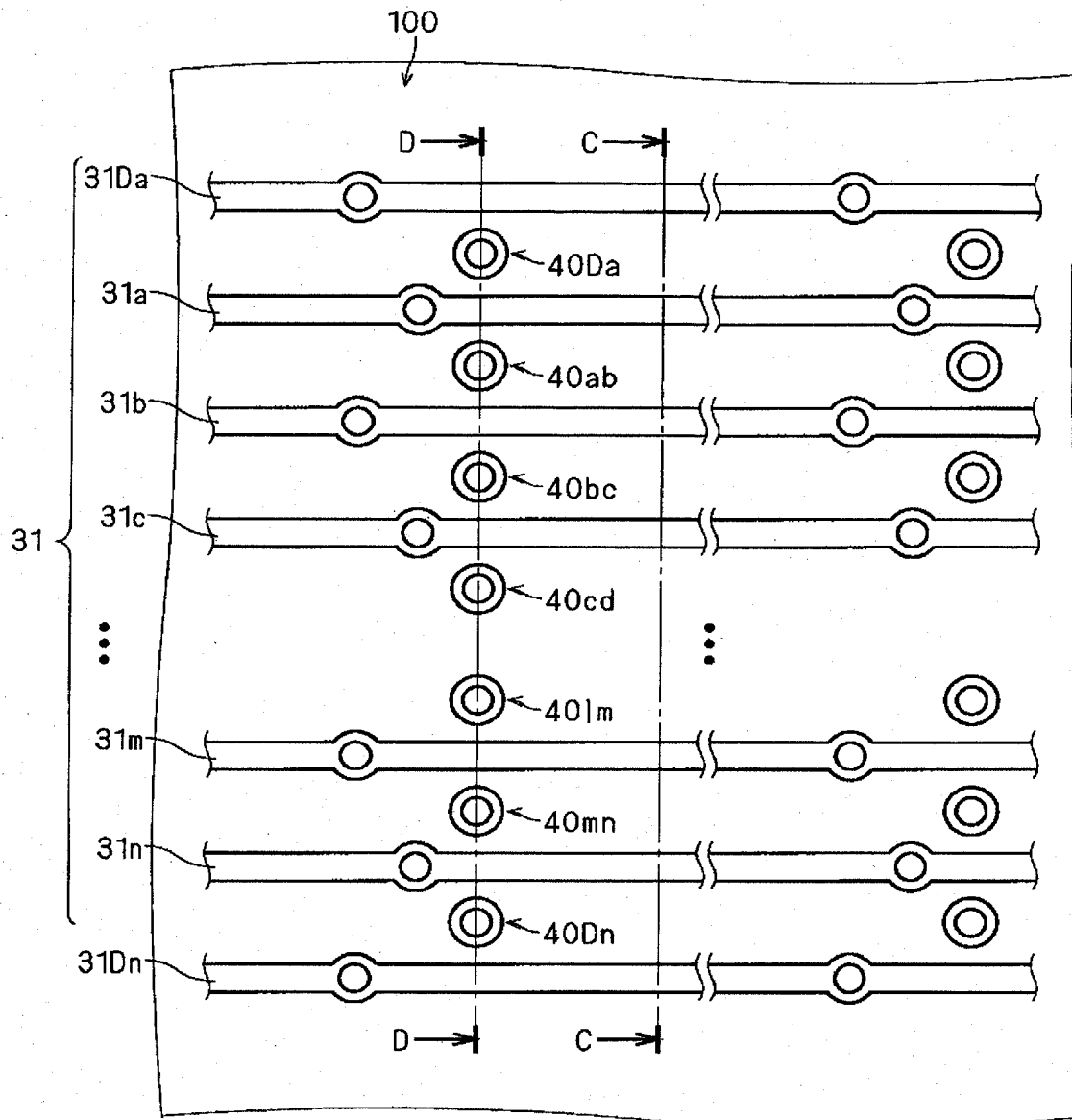
【符号の説明】

31Da, 31Da1, 31Da2, 31Dn, 131Da ダミー配線、31DaC 中央部、31DaT1, 31DaT2 端部、31a~31n, 131a 信号配線、31 信号配線群、40, 40ab~40nm スルーホール、40Da, 40Dn ダミースルーホール、41Da, 41Dn ダミー導電層、41ab~41nm 導線層、43, 44 連結配線、100~108 多層配線基板、201~208 メモリモジュール、CST, CSW 容量、R31Da1, R31Da2 抵抗、SA, SAa~SAn アドレス信号、T31Da1, T31Da2, T31Da3 端子（終端抵抗接続用端子）、Z0 特性インピーダンス。

【書類名】

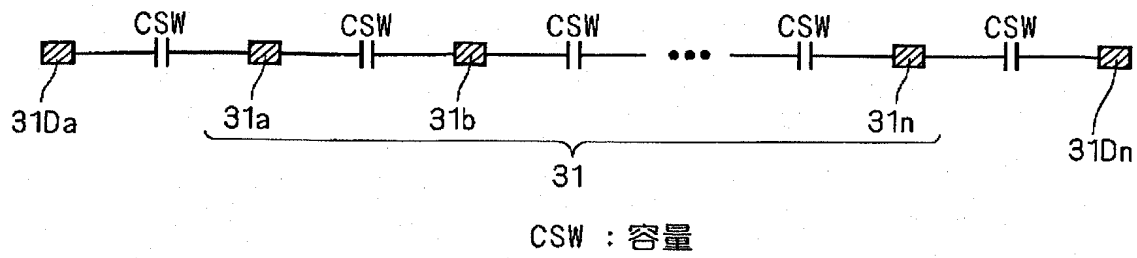
図面

【図 1】

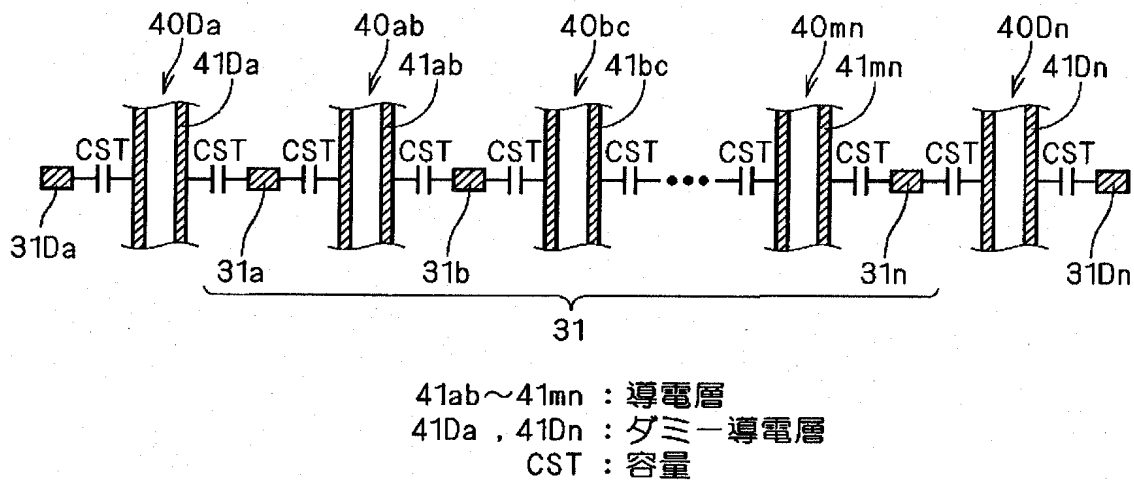


31a~31n : 信号配線
 31 : 信号配線群
 31Da , 31Dn : ダミー配線
 40ab~40mn : スルーホール
 40Da , 40Dn : ダミースルーホール
 100 : 多層配線基板

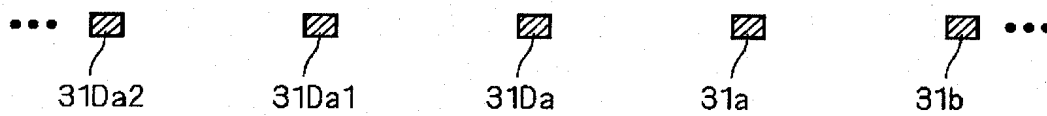
【図 2】



【図 3】

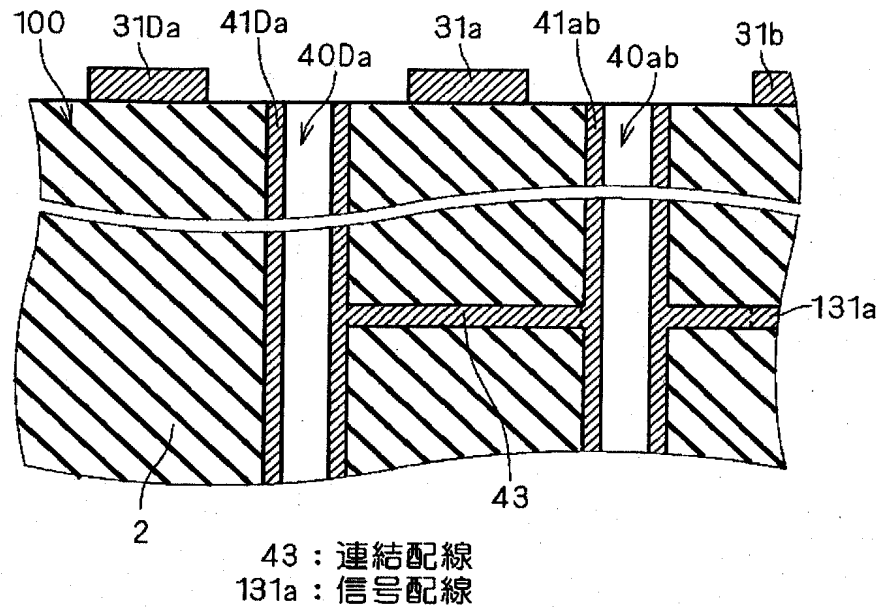


【図 4】

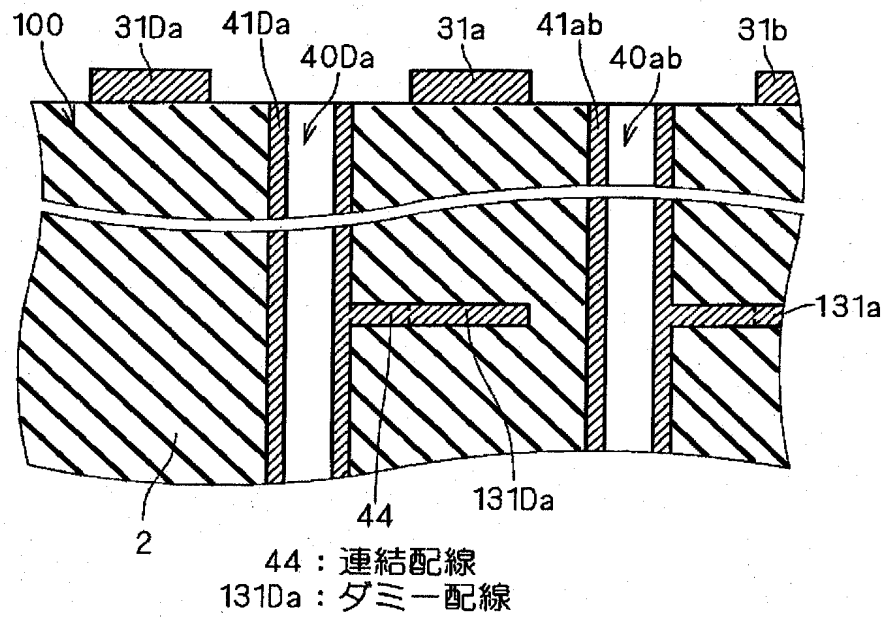


31Da1, 31Da2 : ダミー配線

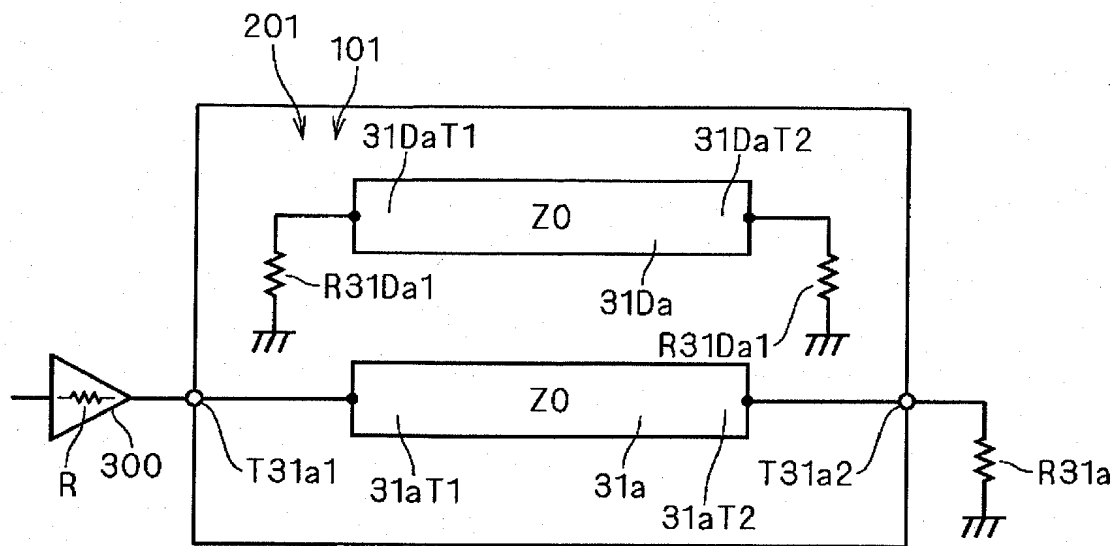
【図 5】



【図 6】

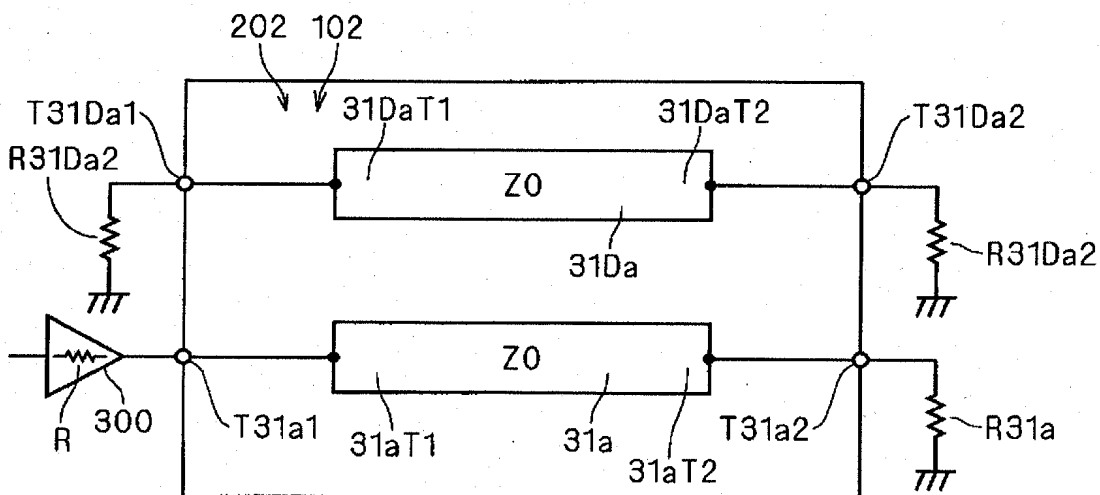


【図 7】



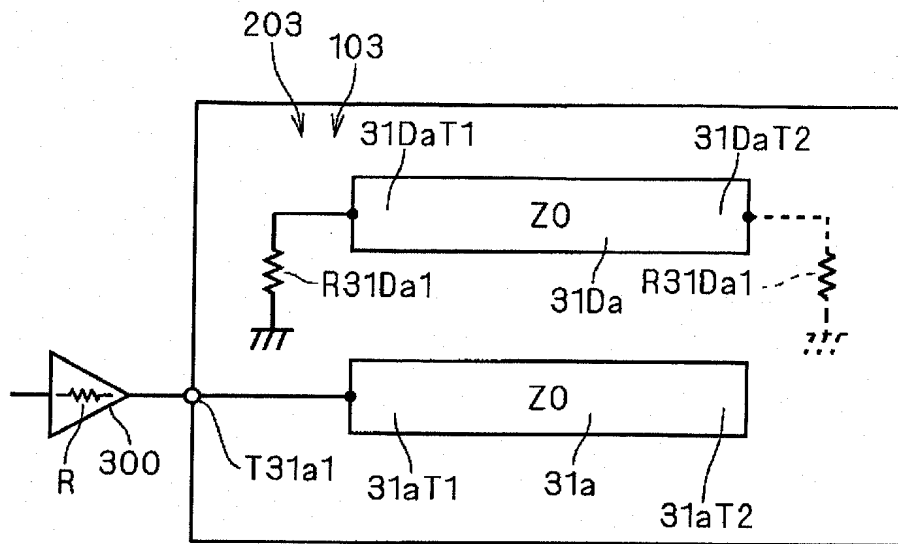
31DaT1, 31DaT2, 31aT1, 31aT2 : 端部
 101 : 多層配線基板
 201 : メモリモジュール
 R, R31Da1, R31a : 抵抗
 T31a1, T31a2 : 端子
 Z0 : 特性インピーダンス

【図 8】



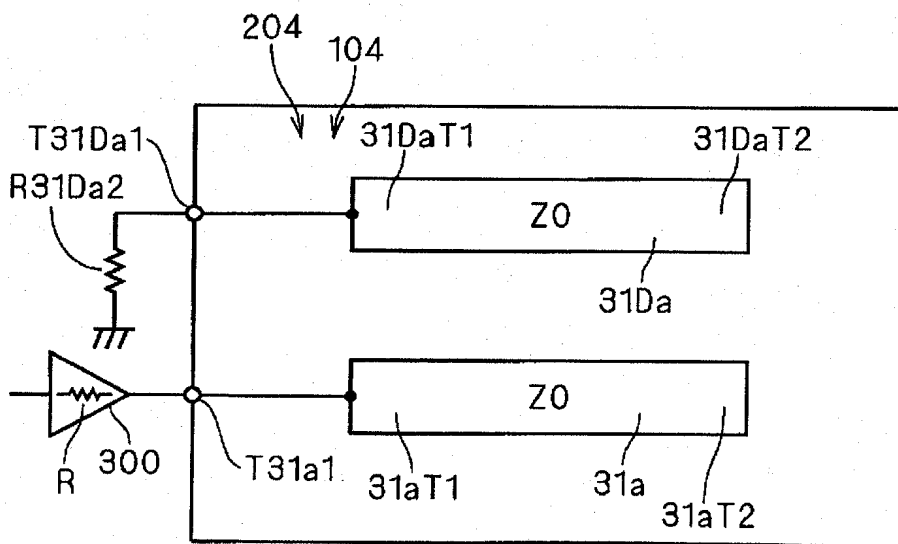
102 : 多層配線基板
 202 : メモリモジュール
 R31Da2 : 抵抗
 T31Da1, T31Da2 : 端子 (終端抵抗接続用端子)

【図 9】



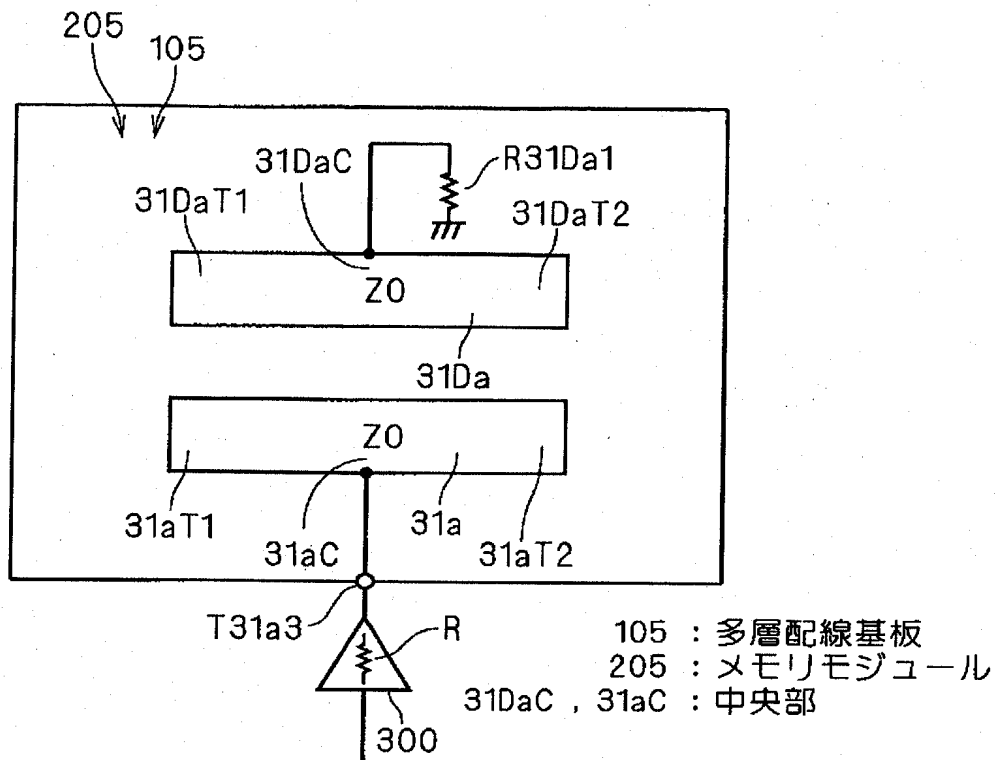
103 : 多層配線基板 203 : メモリモジュール

【図 1 0】

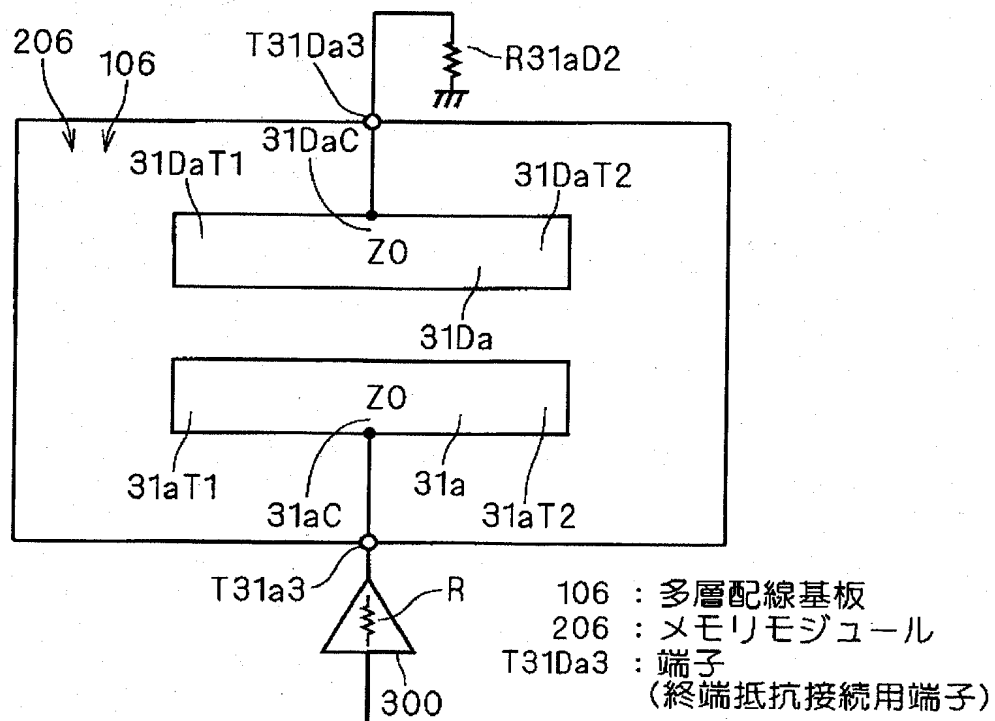


104 : 多層配線基板 204 : メモリモジュール

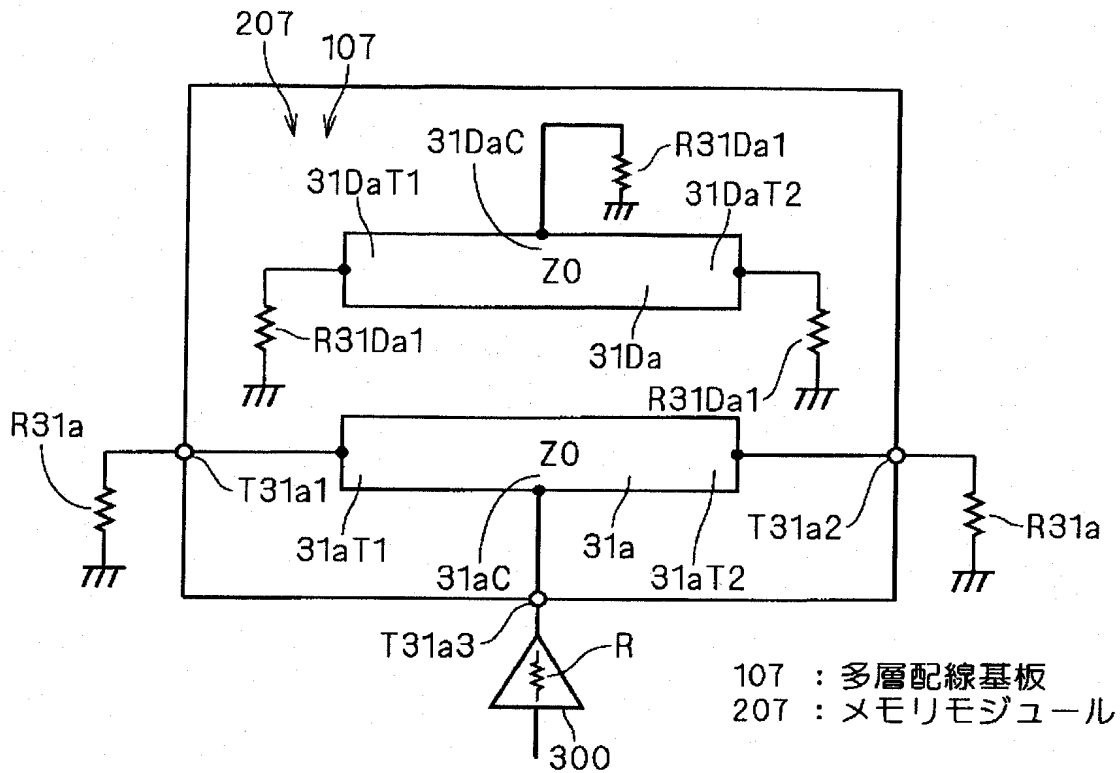
【図 1 1】



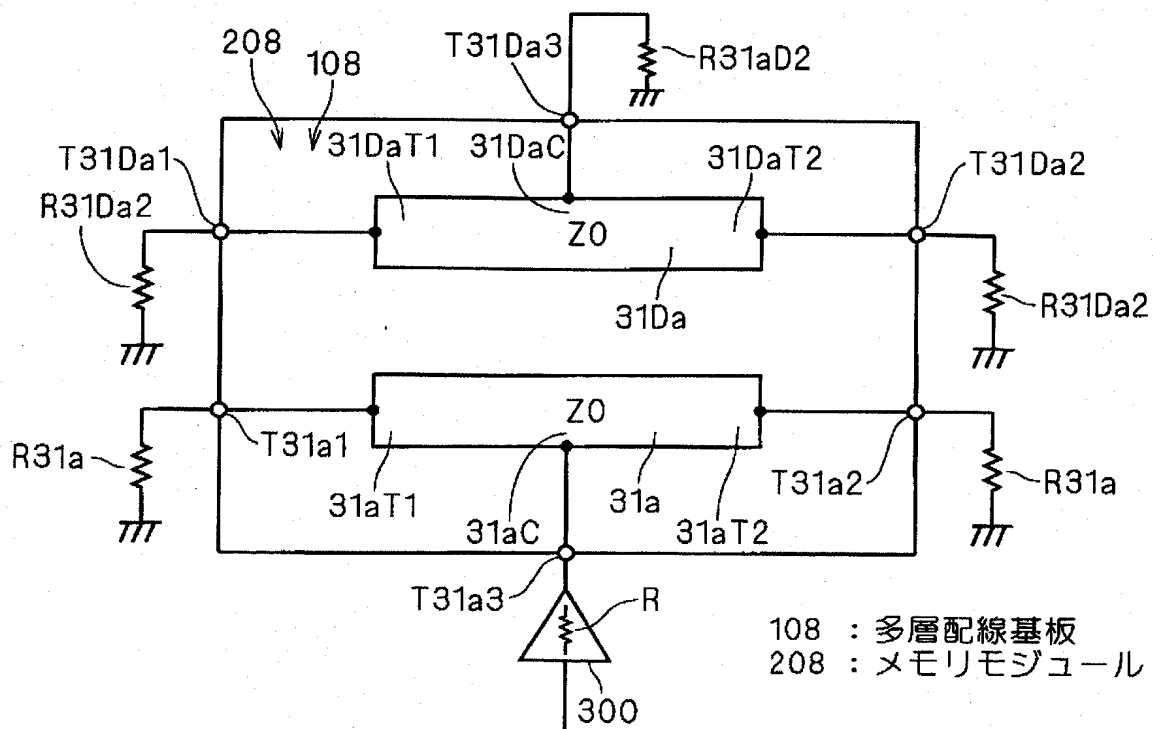
【図 1 2】



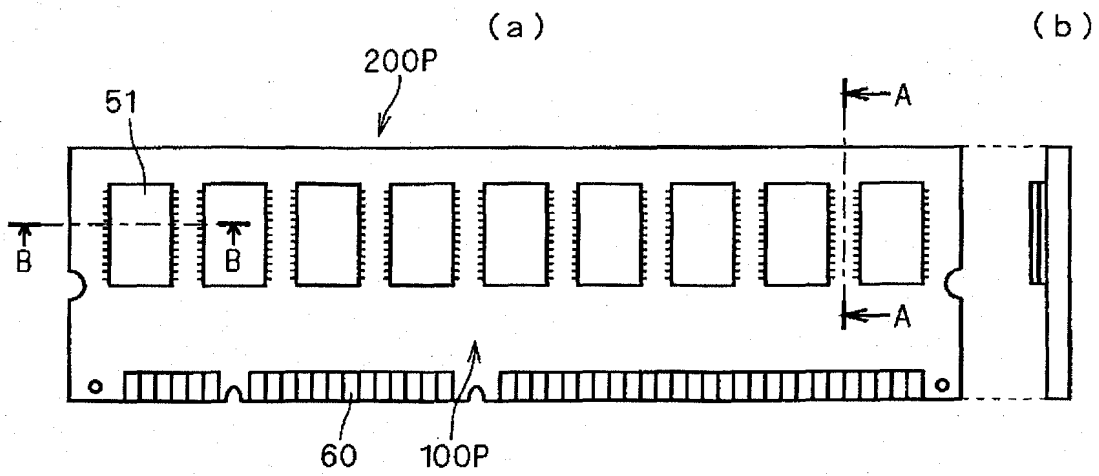
【図 1 3】



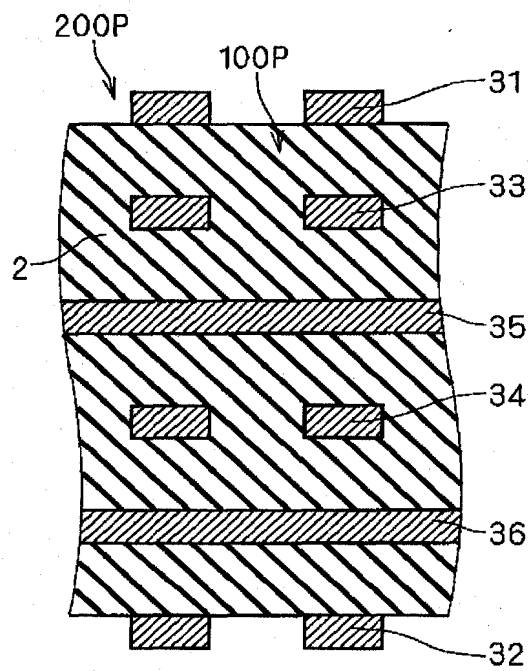
【図 1 4】



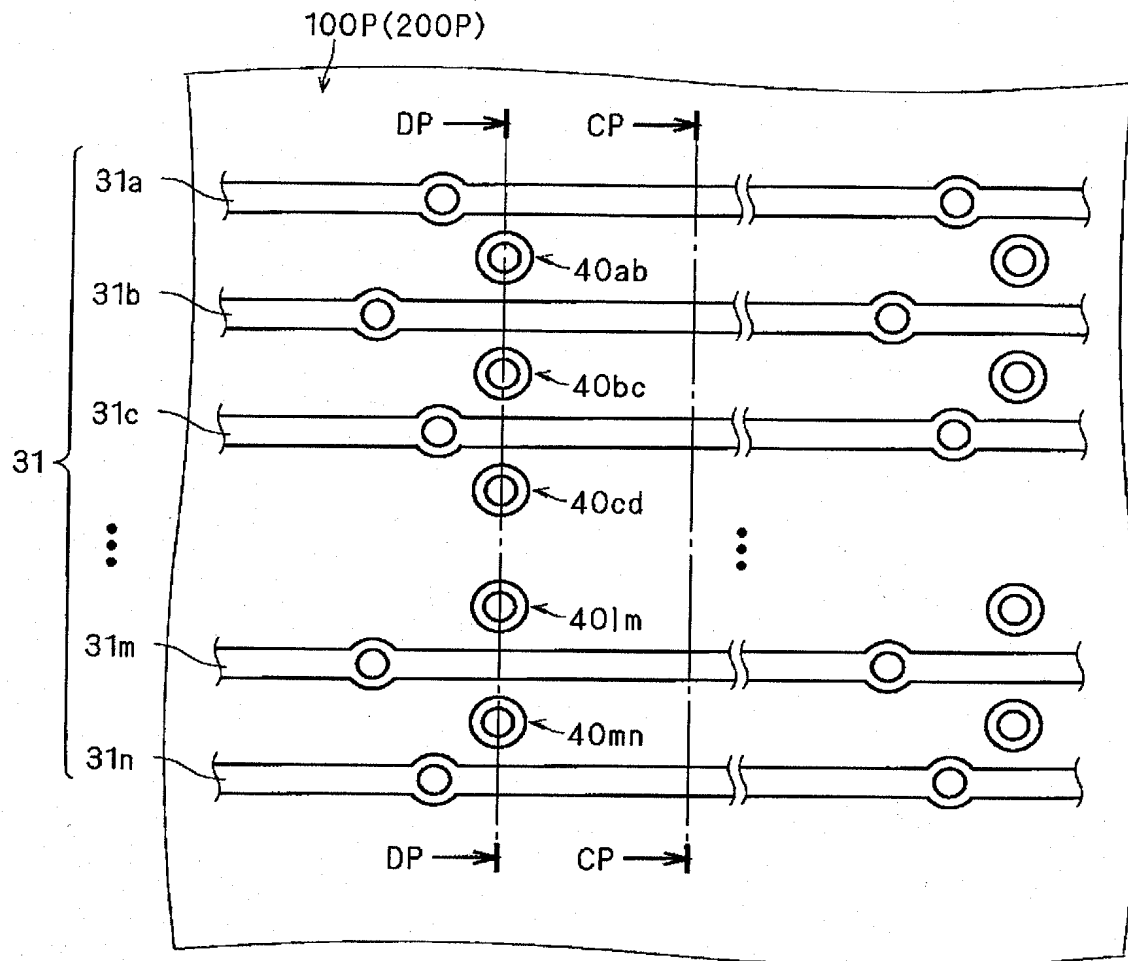
【図 1 5】



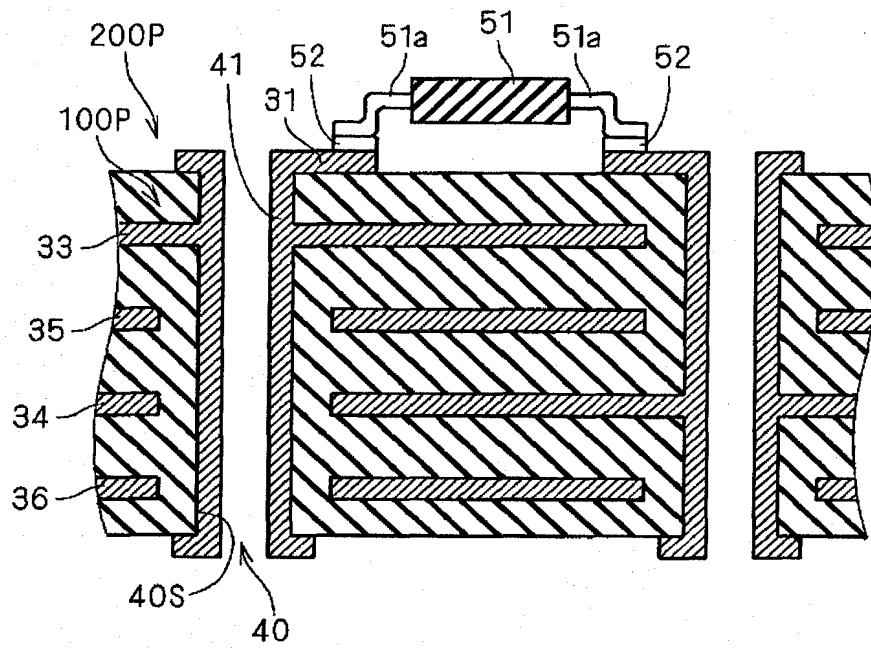
【図 1 6】



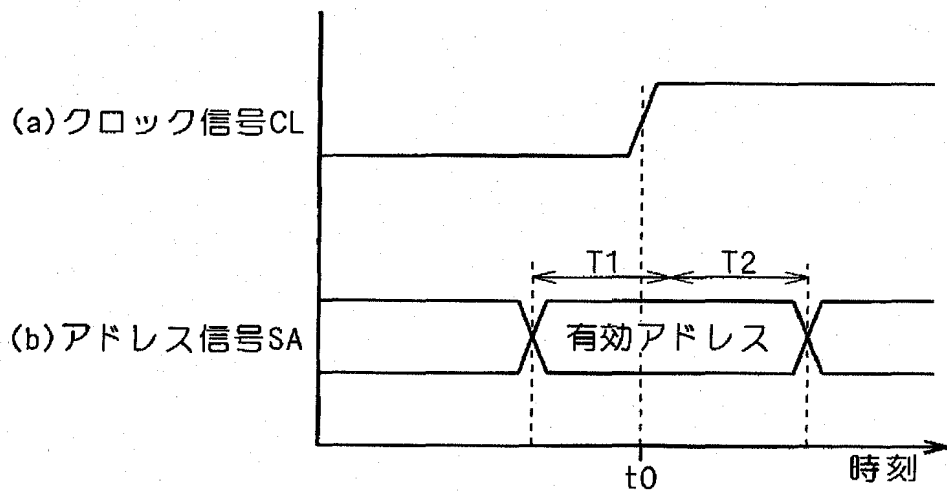
【図 1 7】



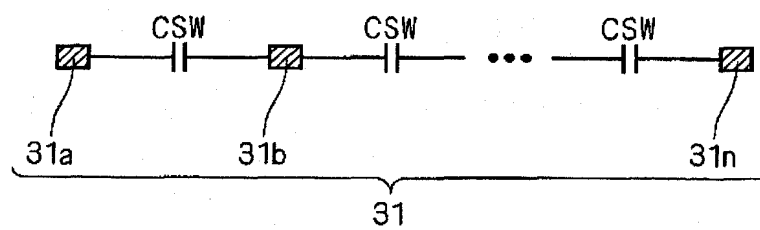
【図 1 8】



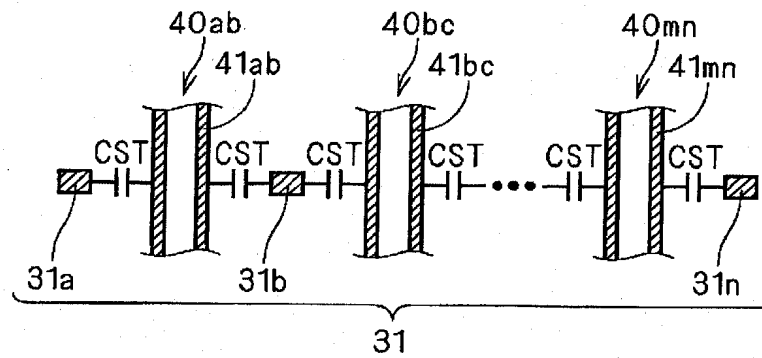
【図 1 9】



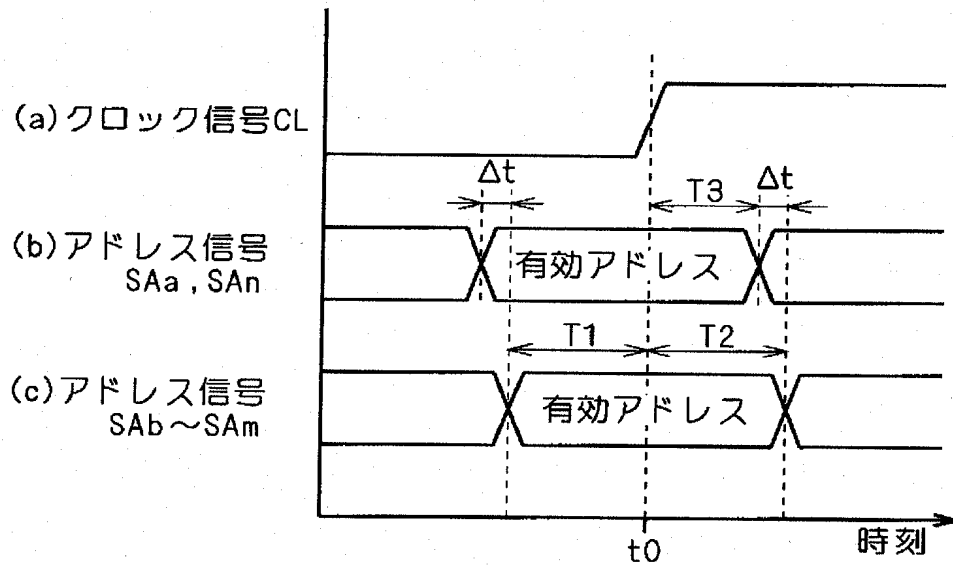
【図 2 0】



【図 2 1】



【図 2 2】



【書類名】 要約書

【要約】

【課題】 各信号配線を伝播する各信号の遅延時間差を低減・排除しうる多層配線基板を提供する。

【解決手段】 多層配線基板 1 0 0 の各配線層は、互いに平行に配置された信号配線 3 1 a ~ 3 1 n と、信号配線 3 1 b ~ 3 1 m の両外側それぞれに配置されたダミー配線 3 1 D a , 3 1 D n とを備える。ダミー配線 3 1 D a , 3 1 D n は信号配線 3 1 a ~ 3 1 n と同等の形状を有し、各信号配線 3 1 a ~ 3 1 n 間と同じ間隔を介して信号配線 3 1 b ~ 3 1 m と平行に配置されている。信号配線 3 1 a ~ 3 1 n の各間隙にスルーホール 4 0 a b ~ 4 0 m n が形成されており、ダミー配線 3 1 D a , 3 1 D n と信号配線 3 1 a , 3 1 n との間にスルーホール 4 0 a b ~ 4 0 m n と同等の形状のダミースルーホール 4 0 D a , 4 0 D n が形成されている。各スルーホール 4 0 a b ~ 4 0 m n , 4 0 D a , 4 0 D n の各内壁面上に導電層が形成されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社